

(10)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2002-314067

(P2002-314067A)

(43)公開日 平成14年10月25日(2002.10.25)

(51)Int.Cl.

H01L 29/78

21/314

識別記号

F1

H01L 21/314

29/78

コード(参考)

M 5F05B

301G 5F14D

審査請求 未請求 請求項の数12 頁 全 17 頁

(21)出願番号 特願2001-115709(P2001-115709)

(22)出願日 平成13年4月19日(2001.4.19)

(71)出願人 000003078

株式会社東芝

東京都港区芝罘一丁目1番1号

(72)発明者 小山 正人

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(73)発明者 西山 彰

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 100058478

弁理士 鈴木 武彦 (外6名)

図表式に続く

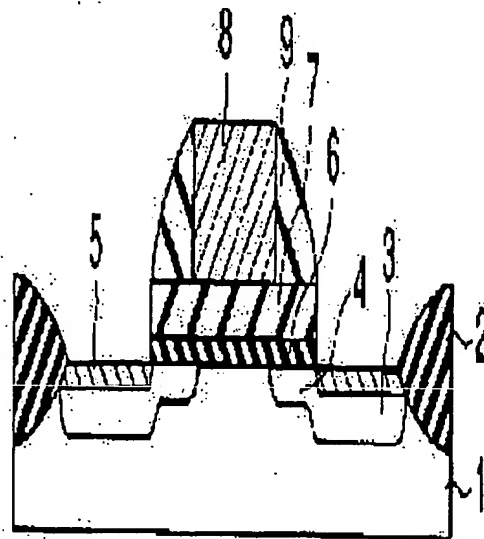
(54)【発明の名称】 半導体装置およびMIS型電界効果トランジスタの製造方法

(57)【要約】

【課題】 Hf、Zr、K材料を含有し、金属酸化物と同等の比誘電率を有するゲート絶縁膜を具備したMIS型電界効果トランジスタを有する半導体装置を提供する。

【解決手段】 シリコン基板(1)と、前記シリコン基板上に形成され、窒素および酸素の少なくとも1種とシリコンとを含有する絶縁膜(6)と、前記絶縁膜上に形成され、ジルコニウムおよびハフニウムの少なくとも1種の金属原子を含む金属酸化物膜(7)と、前記金属酸化物膜上に形成されたゲート電極(8)とを具備するMIS型電界効果トランジスタを備える半導体装置である。前記金属酸化物膜中の前記金属原子と前記窒素との

結合は、1:0.19/atom以下であることを特徴とする。



【特許請求の範囲】

【請求項1】 シリコン基板と、

前記シリコン基板上に形成され、窒素および酸素の少なくとも1種とシリコンとを含有する絶縁膜と、

前記絶縁膜上に形成され、ジルコニウムおよびハフニウムの少なくとも1種の金属原子を含む金属酸化膜と、

前記金属酸化膜上に形成されたゲート電極とを具備し、

前記金属酸化膜中の前記金属原子と前記窒素との結合は、 $1.019/\text{cm}^3$ 以下であるMIS型電界効果トランジスタを備えることを特徴とする半導体装置。

【請求項2】 シリコン基板と、

前記シリコン基板上に形成され、窒素および酸素の少なくとも1種とシリコンとを含有する絶縁膜と、

前記絶縁膜上に形成され、ジルコニウムおよびハフニウムの少なくとも1種の金属原子を含む金属酸化膜と、

前記金属酸化膜上に形成されたゲート電極とを具備し、

前記金属酸化膜中の前記金属原子は、実質的に前記窒素とは直接結合せずに前記酸素と結合しているMIS型電界効果トランジスタを備えることを特徴とする半導体装置。

【請求項3】 前記絶縁膜と前記金属酸化膜とは直接接して積層されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記絶縁膜は、ジルコニウムおよびハフニウムからなる群から選択される少なくとも1種の金属原子をさらに含有するMIS型電界効果トランジスタを備えることを特徴とする請求項1ないし3のいずれか1項に記載の半導体装置。

【請求項5】 シリコン基板上に、ジルコニウムおよびハフニウムの少なくとも1種の金属とともに窒素を供給して金属酸化膜を形成する工程と、

前記シリコン基板を酸化処理して、前記シリコン基板上に位置する金属酸化膜と、前記シリコン基板および前記金属酸化膜との間に位置する窒素および酸素の少なくとも1種とシリコンとを含有する絶縁膜とを備えるゲート絶縁膜を得る工程とを具備することを特徴とするMIS型電界効果トランジスタの製造方法。

【請求項6】 シリコン基板上に、ジルコニウムおよびハフニウムの少なくとも1種の金属とともに窒素を供給して金属酸化膜を形成する工程と、

前記シリコン基板を酸化処理して、前記シリコン基板上に位置する金属酸化膜と、前記シリコン基板および前記金属酸化膜との間に位置するジルコニウムおよびハフニウムの少なくとも1種の金属と、窒素および酸素の少なくとも1種と、シリコンとを含有する絶縁膜を形成する工程と、

前記金属酸化膜を剥離して前記金属と、シリコンと、窒素および酸素の少なくとも1種とを含有する絶縁膜が

らなるゲート絶縁膜を得る工程とを具備することを特徴とするMIS型電界効果トランジスタの製造方法。

【請求項7】 シリコン基板上に、ジルコニウムおよびハフニウムの少なくとも1種の金属とともに窒素を供給して金属酸化膜を形成する工程と、

前記シリコン基板を酸化処理して、前記シリコン基板上に位置する金属酸化膜と、前記シリコン基板および前記金属酸化膜との間に位置するジルコニウムおよびハフニウムの少なくとも1種の金属と、窒素および酸素の少なくとも1種と、シリコンとを含有する絶縁膜とを備えるゲート絶縁膜を得る工程と、

前記金属酸化膜上にゲート電極材料層を形成する工程と、

前記ゲート電極材料層を熱処理することにより、前記金属酸化膜と前記ゲート電極材料層との間に、前記ゲート電極材料と、酸素および窒素の少なくとも1種と含有する膜を形成する工程を具備することを特徴とするMIS型電界効果トランジスタの製造方法。

【請求項8】 前記シリコン基板上に前記金属酸化膜を形成する前に、前記シリコン基板上に、酸素および窒素の少なくとも1種の元素を含有する絶縁膜を形成する工程を具備することを特徴とする請求項4ないし7のいずれか1項に記載のMIS型電界効果トランジスタの製造方法。

【請求項9】 前記金属酸化膜は、励起状態の窒素を含む雰囲気中で形成して、前記シリコン基板表面の少なくとも一部にシリコン-窒素結合を形成することにより形成されることを特徴とする請求項5ないし8のいずれか1項に記載のMIS型電界効果トランジスタの製造方法。

【請求項10】 前記金属酸化膜は、窒素を含む第一の雰囲気中で形成された後、酸素および窒素を含む第二の雰囲気中で形成されることを特徴とする請求項5ないし8のいずれか1項に記載のMIS型電界効果トランジスタの製造方法。

【請求項11】 前記金属酸化膜の形成後、不活性雰囲気中で600℃以上の温度で熱処理する工程を具備することを特徴とする請求項5ないし10のいずれか1項に記載のMIS型電界効果トランジスタの製造方法。

【請求項12】 前記不活性雰囲気中での熱処理は、前記ゲート絶縁膜上にゲート電極を形成した後に行なわれることを特徴とする請求項11に記載のMIS型電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係り、特にジルコニウムおよびハフニウムの少なくとも1種を含む金属酸化膜と、シリコンを含む界面絶縁膜との積層絶縁膜をゲート絶縁膜として使用するMIS型電界効果トランジスタを備える半導体装置およびその製造方法に関する。

【0002】

【従来の技術】サブ0.1 $\mu$ m世代のCMOS (Complementary Metal-Oxide-Semiconductor) デバイスにおけるゲート絶縁膜は、SiO<sub>2</sub>換算で1.5nmという高いスペックが要求されている。厚さ1.5nmのSiO<sub>2</sub>は、絶縁性が悪く、リーク電流による消費電力増加よりも高速性を重視するL $\alpha$ ipデバイスにおいてすら実用できない。また、より多くの需要が確保される個人用携帯電子機器のためのLSIデバイスに求められる最大の要求は低消費電力性であり、そのリーク電流密度がデバイス全体の消費電力に対し大きな部分を占めるゲート絶縁膜に対しては、従来のSiO<sub>2</sub>よりも格段にリーク電流の低い新規材料の導入が必須とされている。

【0003】SiO<sub>2</sub>換算1.5nmの絶縁膜密度を実現し、かつ低リーク特性を得るためには、SiO<sub>2</sub>より比誘電率の高い材料 (H $\alpha$ eh-K材料) を利用し、物理膜厚を大きくすることが有効である。例えば、SiO<sub>2</sub>の10倍の比誘電率をもつ材料を利用すれば、SiO<sub>2</sub>換算1.5nmの性能を得るための物理膜厚は15nmに設定することができ、直接トンネル電流による膜の絶縁性破壊を回避することが可能である。ここで、H $\alpha$ eh-K材料とは一般に金属酸化物のことであり、その物理、化学的構造に基づく高い分極が高誘電率の起源となる。

【0004】しかしながら、これらの金属酸化物は、LSIデバイスにゲート絶縁膜として導入することを考えたとき、SiO<sub>2</sub>に比較して明らかに不適切な性質を有している。その代表的なものとして、これらの金属酸化物が比較的低い温度 (典型的には400 $\sim$ 500 $^{\circ}$ C) で容易に結晶化することが挙げられる。

【0005】従来のLSIにおいてゲート絶縁膜を形成するために使用されてきたSiO<sub>2</sub> (またはSi $\alpha$ ON) は、いかなる場合にも結晶の形態に変化することなく非晶質であった。非晶質であることは、シリコン中への不純物の拡散を防止して絶縁膜の平坦性を高め、リーク電流の低減、LSIチップの素子間特性バラツキを抑えるといった効果をもたらし、LSI製造の歩留まりおよび性能向上に極めて重要である。ゲート絶縁膜が結晶質、特に多結晶形態になることは、従来当然のように得られていたこれらの効果が失われ、歩留まりの低下のみならず、所望の性能を得ること自体が困難になることが予測されている。誘電率をSiO<sub>2</sub>よりも高くしつつ、かつLSIプロセスで用いられる温度において容易に結晶化しないようなゲート絶縁膜材料が求められている。

【0006】このような要求を満たすための材料の一つとして、シリコン酸化物とシリコン以外の金属酸化物との混合酸化物が検討されている。例えば、Ti-Si-O、Zr-Si-O、Hf-Si-O、およびLa-Si-Oなどがその典型的なものとして挙げられる。これ

らの材料は、1000 $^{\circ}$ Cといった高温でも非晶質状態を保つか、あるいは部分的には結晶化が生じるものの絶縁膜の母体としては非晶質性が保持されるといった性質を示す。

【0007】しかしながら、こうした材料においては、非晶質性を高めるためにシリコンを混ぜることによって、その比誘電率が著しく低下するという問題が生じる。これらの混合酸化物の比誘電率が金属酸化物とSiO<sub>2</sub>との平均誘電率で決定されると考えると、例えば組成比1:1で合金を調製した場合には、その比誘電率は1.0 $\sim$ 1.5である。さらに、SiO<sub>2</sub>に対して1:1のような高い割合で金属酸化物を混入させた場合には、その材料の非晶質性は保たれないことが一般的である。現実的には、シリコン酸化物:金属酸化物の比が3:1程度でないと非晶質性の保持は不可能である。このときの材料の比誘電率は、確実に1.0以下に低下してしまう。現状のデバイスのゲート絶縁膜として使用されるSiON等の実効的比誘電率を6程度と考えれば、これら検討されているシリコン-金属酸化物の比誘電率による物理膜厚増加の効果は、たかたかSiONの1:5倍程度にすぎない。こうした材料によるリーク電流の相対的低減が可能になったところで、おそらくそれは一世代のデバイスにしか利用されない短命な材料となることが予測される。

【0008】

【発明が解決しようとする課題】上述したように、従来のSiO<sub>2</sub> (SiON) に替わるH $\alpha$ eh-Kゲート絶縁膜の材料は、非晶質性を高めるためにシリコンとシリコン以外の金属との混合酸化物を用いることが主流の技術となっている。しかしながら、その比誘電率はたかたか1.0程度となり、指数世代にわたって使用可能なゲート絶縁膜材料とはなり得ないものであった。

【0009】本発明は、上述の問題点を考慮してなされたものであり、その目的は、H $\alpha$ eh-K材料を含有し、金属酸化物と同等の比誘電率を有するゲート絶縁膜を具備したMIS型電界効果トランジスタを有する半導体装置を提供することを目的とする。

【0010】また本発明は、H $\alpha$ eh-K材料の熱処理時の結晶化を極力抑制して耐熱性を高め、金属酸化物と同等の比誘電率を有するゲート絶縁膜を形成し得るMIS型電界効果トランジスタの製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記課題を解決するために、本発明は、シリコン基板と、前記シリコン基板上に形成され、窒素および酸素の少なくとも1種とシリコンとを含有する絶縁膜と、前記絶縁膜上に形成され、ジルコニウムおよびハフニウムの少なくとも1種の金属原子を含む金属酸窒化物と、前記金属酸窒化物上に形成されたゲート電極とを具備し、前記金属酸窒化物中の前記金

金属原子と前記窒素との結合は、 $1.019/\text{cm}^3$ 以下であるMIS型電界効果トランジスタを備えることを特徴とする半導体装置を提供する。

【0012】また本発明は、シリコン基板と、前記シリコン基板上に形成され、窒素および酸素の少なくとも1種とシリコンとを含有する絶縁膜と、前記絶縁膜上に形成され、ジルコニウムおよびハフニウムの少なくとも1種の金属原子を含む金属酸化膜と、前記金属酸化膜上に形成されたゲート電極とを具備し、前記金属酸化膜中の前記金属原子は、実質的に前記窒素とは直接結合せずに前記酸素と結合しているMIS型電界効果トランジスタを備えることを特徴とする半導体装置を提供する。

【0013】また本発明は、シリコン基板上に、ジルコニウムおよびハフニウムの少なくとも一種の金属とともに窒素を供給して金属窒化膜を形成する工程と、前記シリコン基板を酸化処理して、前記シリコン基板上に位置する金属酸化膜と、前記シリコン基板および前記金属酸化膜との間に位置する窒素および酸素の少なくとも一種とシリコンとを含有する絶縁膜とを備えるゲート絶縁膜を得る工程とを具備することを特徴とするMIS型電界効果トランジスタの製造方法を提供する。

【0014】また本発明は、シリコン基板上に、ジルコニウムおよびハフニウムの少なくとも一種の金属とともに窒素を供給して金属窒化膜を形成する工程と、前記シリコン基板を酸化処理して、前記シリコン基板上に位置する金属酸化膜と、前記シリコン基板および前記金属酸化膜との間に位置するジルコニウムおよびハフニウムの少なくとも一種の金属と、窒素および酸素の少なくとも一種と、シリコンとを含有する絶縁膜を形成する工程と、前記金属酸化膜を剥離して前記金属と、シリコンと、窒素および酸素の少なくとも一種とを含有する絶縁膜からなるゲート絶縁膜を得る工程とを具備することを特徴とするMIS型電界効果トランジスタの製造方法を提供する。

【0015】また本発明は、シリコン基板上に、ジルコニウムおよびハフニウムの少なくとも一種の金属とともに窒素を供給して金属窒化膜を形成する工程と、前記シリコン基板を酸化処理して、前記シリコン基板上に位置する金属酸化膜と、前記シリコン基板および前記金属酸化膜との間に位置するジルコニウムおよびハフニウムの少なくとも一種の金属と、窒素および酸素の少なくとも一種と、シリコンとを含有する絶縁膜とを備えるゲート絶縁膜を得る工程と、前記金属酸化膜上にゲート電極材料層を形成する工程と、前記ゲート電極材料層を熱処理することにより、前記金属酸化膜と前記ゲート電極材料層との間に、前記ゲート電極材料と、酸素および窒素の少なくとも一種と含有する膜を形成する工程とを具備することを特徴とするMIS型電界効果トランジスタの製造方法を提供する。

【0016】本発明者は、 $400\sim500^\circ\text{C}$ 程度の低温で結晶化が生じるジルコニウム酸化膜あるいはハフニウム酸化物は、窒素を添加して金属窒化物を構成することによって、結晶化温度が上昇することを見出した。シリコンを金属酸化膜に添加した場合とは異なり、窒素を添加して形成された金属窒化膜の比誘電率は、金属窒化物の値から劣化することはほとんどない。本発明は、こうした知見に基づいてなされたものである。特に本発明においては、金属窒化膜中に含有される窒素は、金属原子と直接は化学結合しないことが必須であり、金属原子と窒素原子との結合は、実質的に含まれない。具体的には、金属窒化膜における金属原子と窒素原子との結合は、 $1.019/\text{cm}^3$ 以下でなければならない。XPSの検出限界は $1.019/\text{cm}^3$ であり、金属原子と窒素原子との結合がこの値未満であれば、金属原子は窒素原子と直接化学結合していないとみなすことができる。金属-窒素結合が金属窒化膜中に形成されると、膜中欠陥の発生や、比誘電率の低下が生じるが、本発明により、こうした不都合を完全に回避することが可能となった。したがって、金属窒化膜中に金属原子が窒素原子と直接化学結合していないことは、本発明において極めて大事な規定事項である。ここで、本発明のような結合形態でも、膜の結晶化温度を上昇させる効果は充分に発揮されることは、実験ですでに確認済みである。

【0017】なお、ジルコニウム、ハフニウム、およびその混合物は、その酸化物の生成自由エネルギーが十分に大きく、熱的に極めて安定な材料である。このため、本発明においては、金属窒化膜を構成する金属を、ジルコニウム、ハフニウム、およびその混合物に限定している。

【0018】さらに本発明の半導体装置においては、上述したような金属窒化膜とシリコン基板との間に界面絶縁膜が形成され、この界面絶縁膜は、シリコンと、窒素および酸素の少なくとも1種とを含有する。こうした界面絶縁膜を設けることによって、金属窒化膜に多数含まれる極性分子結合とシリコン基板との間隔をあげるができる。それにより、シリコン基板表面に形成されるチャンネルに対するキャリア散乱要因を除去し、さらにシリコンと絶縁膜との界面電気的特性を向上させることが可能となる。

【0019】こうした界面絶縁膜と、この上に直接形成された金属窒化膜との積層構造によって、本発明の半導体装置におけるゲート絶縁膜が構成される。なお、界面絶縁膜と金属窒化膜との積層絶縁膜全体で $\text{SiO}_2$ 換算1.5nm以下を実現するためには、界面絶縁膜は1nm以下とする必要がある。したがって、本発明においては、界面絶縁膜を $\text{SiO}_2$ 換算1nm以下とすることが望ましい。

【0020】界面絶縁膜の少なくとも一部には、ジルコニウム、ハフニウムのいずれか、あるいは両方の金属原

子が含有されていてもよい。この場合には、界面絶縁膜の比誘電率が上昇して、実効的にSiO<sub>2</sub>換算膜厚を減少させるという効果が得られる。

【0021】以下、本発明を詳細に説明する。

【0022】本発明は、従来技術のように非晶質性を高めるために金属酸化物にシリコンを添加する代わりに、窒素を添加して金属窒素酸化物を形成する。本発明における金属窒素酸化物は、シリコン基板上にジルコニウムおよびハフニウムの少なくとも1種と窒素とを同時に供給して、ジルコニウムおよびハフニウムの少なくとも1種の窒素酸化物を形成し、これを酸化することによって形成される。

【0023】ジルコニウム酸窒素酸化物の場合を例に挙げて、本発明における金属窒素酸化物について説明する。

【0024】まず、シリコン基板上に金属窒素酸化物としてのジルコニウム酸窒素酸化物を成膜し、これを500℃で酸化した。酸化後の膜をXPS(X-ray Photoelectron Spectroscopy)で調べたところ、ジルコニウム、酸素、および窒素が検出され、ジルコニウム酸窒素酸化物が形成されていることが明らかになった。こうして形成されたジルコニウム酸窒素酸化物の結合状態について、図1を参照して説明する。

【0025】図1(e)は、ジルコニウム酸窒素酸化物の酸化処理前後におけるジルコニウムの結合状態変化を示すXPSスペクトラムである。曲線aは堆積直後のジルコニウム酸窒素酸化物におけるジルコニウムの結合状態を表わし、曲線bは、500℃での熱処理により酸化処理を行なった後のジルコニウム酸窒素酸化物におけるジルコニウムの結合状態を表わす。ジルコニウム酸窒素酸化物の堆積直後の状態(曲線a)では、Zr-N結合を示すピークが現われている。これに対し、酸化処理を行なった後のジルコニウム酸窒素酸化物のXPSスペクトラム(曲線b)では、Zr-N結合は全く検知されず、Zr-O結合のみが検出された。

【0026】図1(b)は、ジルコニウム酸窒素酸化物の酸化処理前後における窒素の結合状態を示すXPSスペクトラムである。曲線cは堆積直後のジルコニウム酸窒素酸化物における窒素の結合状態を表わし、曲線dは、500℃での熱処理により酸化処理を行なった後のジルコニウム酸窒素酸化物における窒素の結合状態を表わす。曲線cに示されるように、堆積直後のジルコニウム酸窒素酸化物からはZr-N結合が検出される。しかしながら、酸化後には、曲線dに示されるようにZr-Nの信号は消滅して、その代わりに、エネルギー403eV付近にNの結合に関するピークが新たに発生する。このピークは、N-NあるいはN-O結合に帰属される。

【0027】以上のように、本発明におけるジルコニウム酸窒素酸化物中では、ジルコニウムは酸素と結合し、窒素とは結合していないという化学結合的な特徴を有する。このようなジルコニウム酸窒素酸化物の特徴は、ジルコニウ

ム酸化物の生成自由エネルギーが極めて大きいことと関係している。すなわち、Zr-N結合よりもZr-O結合の方がエネルギー的に安定であるために、Zr-N結合を壊してZr-O結合が形成されることは極めて自然な成り行きである。

【0028】こうした化学的結合状態を有するジルコニウム酸窒素酸化物は、本発明の方法により始めて形成された。本発明においては、シリコン基板上にジルコニウム酸窒素酸化物を形成し、これを酸化することによってジルコニウム酸窒素酸化物が形成されるので、ジルコニウム酸窒素酸化物中のZr-N結合を著しく低減して、実質的に含まないことが可能となった。

【0029】以下に、従来技術におけるジルコニウム酸窒素酸化物の製造方法と本発明の方法とを図面を参照して比較しながら、本発明の独自性と有用性を説明する。

【0030】図2には、従来法(米国特許第6,013,553号)によるジルコニウム酸窒素酸化物の製造方法を模式的に示す。この方法においては、図示するようにシリコン基板上にジルコニウム酸窒素酸化物(ZrO<sub>2</sub>)を成膜した後、励起状態の窒素(N\*)を用いてジルコニウム酸窒素酸化物を窒素化することによってジルコニウム酸窒素酸化物(ZrON)が形成される。ジルコニウム酸窒素酸化物を窒素化するために励起状態の窒素が用いられるので、この方法は、不安定な結合状態であるジルコニウム-窒素結合が形成されやすい点に問題がある。

【0031】膜中に形成されたジルコニウム-窒素結合は、図3に模式的に示されるようにジルコニウム酸窒素酸化物の安定な結合ネットワークを乱して、欠陥構造を形成する。あるいは、暫定的に未結合手をもたず不安定な状態を形成したとしても、その本質的なエネルギー的不安定さから、ジルコニウム-窒素結合は潜在的な欠陥となり、絶縁膜の信頼性を著しく劣化させる可能性が高い。

【0032】図4には、本発明におけるジルコニウム酸窒素酸化物の製造過程を示す。本発明では、シリコン基板上にジルコニウム酸窒素酸化物を形成し、これを酸化処理することによってジルコニウム酸窒素酸化物が形成される。ジルコニウム-窒素結合は、ジルコニウム-酸素結合よりもエネルギー的にはるかに不安定である。このため、平衡状態に近い条件下で酸化処理を行なうことによって、ジルコニウム-窒素結合はほぼ完全にジルコニウム-酸素結合に置換される。その結果、図5に示すようなZr-O結合を主とする結合状態を有するジルコニウム酸窒素酸化物を形成することが可能となる。これにより、ジルコニウム-窒素結合を含まないジルコニウム酸窒素酸化物が容易に形成される。

【0033】また、米国特許第6,013,553号に記載されている方法では、図6に示すように、シリコン基板上に金属ジルコニウム膜を形成し、この金属ジルコニウム膜を窒素化してジルコニウム酸窒素酸化物を形成する。次いで、酸化処理を施すことによりジルコニウム酸窒素酸

が得られる。この文献には明記されていないものの、こうした方法ではジルコニウム酸化膜を酸化する。しかしながら、この従来方法では、金属ジルコニウムを酸化するプロセスにおいて、図6に示されるようにシリコン基板とジルコニウム酸化膜との界面にジルコニウムシリサイド(ZrSi)が形成されてしまう。ジルコニウム金属は化学的に活性であり、同様に化学的に活性なシリコン原子と反応することが避けられないためである。

【0034】これに対して本発明の方法では、ジルコニウム酸化膜形成時は、ジルコニウムは窒素と結合しているため、シリコンと化学反応することはない。従来法のようにジルコニウムシリサイドが絶縁膜の下部に形成されることは、デバイスの構造上許されない。なお、従来法でもジルコニウムの酸化後、これを酸化するプロセスにおいてジルコニウムシリサイドが酸化された場合には、ジルコニウムシリサイドが絶縁膜に変化することは考えられ、絶縁膜の構造上は問題がなくなる。しかしながら、ジルコニウムシリサイド形成反応時に、シリコン基板中にジルコニウム原子が拡散することは公知の事実であり、拡散した金属ジルコニウムがデバイスの電気的特性を劣化させることが避けられない問題となる。

【0035】以上のように、従来方法では、ジルコニウム-シリコン反応に伴うデバイス特性の劣化を抑制するとともに、構成原子が図5に示されるような結合状態を有する絶縁膜を得ることは不可能であった。

【0036】金属原子が窒素原子と結合しないという本発明における金属酸化膜中の結合状態は、金属酸化膜の比誘電率を金属酸化膜と同等の値に維持するという目的からも重要である。金属原子が窒素原子と結合した場合には、金属化合物の比誘電率の高さの起源である分極量が低下してしまう。本発明における金属酸化膜は、すでに説明したようにその母体は金属酸化膜であり、比誘電率を著しく劣化させる要因は全く存在しない。

【0037】ジルコニウム酸化膜中に金属原子と窒素原子との結合を含まないことに加えて、本発明では、そのジルコニウム酸化膜とシリコン基板との界面にSi-O2換算1nm以下の界面絶縁膜を備えることを特徴としている。図7を参照して、本発明における界面絶縁膜の物理的な特徴を説明する。

【0038】図7(a)は、ジルコニウム酸化膜/シリコン基板界面およびジルコニウム酸化膜/シリコン基板界面における界面絶縁膜のシリコンの結合状態を示すXPSスペクトラムである。曲線eは、堆積直後のジルコニウム酸化膜とシリコン基板との間の界面絶縁膜におけるシリコンの結合状態を表わし、曲線fは、500℃での熱処理により得られたジルコニウム酸化膜とシリコン基板との間の界面絶縁膜におけるシリコンの結合状態を表わす。ジルコニウム酸化膜下の界面絶縁膜は、曲線eに示されるようにシリコン-窒素結合の特徴を示し

ている。これを500℃での熱処理により酸化処理した後は、膜中のシリコンの結合状態は、シリコン-窒素結合からわずかにシリコン-酸素結合のエネルギー状態に向けてシフトすることが曲線fに示されている。すなわち、本発明におけるジルコニウム酸化膜/シリコン基板界面の界面絶縁膜は、シリコン酸化膜を主とする成分で構成される。

【0039】図7(b)は、ジルコニウム酸化膜/シリコン基板界面およびジルコニウム酸化膜/シリコン基板界面における界面絶縁膜の窒素の結合状態を示すXPSスペクトラムである。曲線gは、堆積直後のジルコニウム酸化膜とシリコン基板との間の界面絶縁膜における窒素の結合状態を表わし、曲線hは、500℃での熱処理により得られたジルコニウム酸化膜とシリコン基板との間の界面絶縁膜における窒素の結合状態を表わす。曲線gに示されるように、ジルコニウム酸化膜/シリコン界面には、わずかのシリコン-窒素結合しか含まれない。これに対して、500℃での熱処理により形成されたジルコニウム酸化膜/シリコン基板界面の界面絶縁膜には、曲線hに示されるように多数のシリコン-窒素結合が存在する。これは、ジルコニウム酸化膜を酸化する際窒素原子が放出され、この窒素原子が新たな界面絶縁膜の形成に関与していることを示している。

【0040】こうした特徴を有する界面絶縁膜は、本発明により初めて形成することが可能となった。本発明においては、まず、シリコン基板上にジルコニウム酸化膜を形成し、次いで、これを酸化することによりジルコニウム酸化膜が形成される。具体的には、ジルコニウム酸化膜の成膜は、励起状態の窒素を含む雰囲気中で行なわれ、このとき、シリコン基板表面のシリコン原子の一部が窒素と結合する。さらにこの上にジルコニウム酸化膜を形成し、酸化処理を施してジルコニウム酸化膜が形成される。酸化処理の際、シリコン基板の最表面におけるシリコン-窒素結合は、シリコン基板の再酸化を抑制する役割を果たしながら、それ自体が界面絶縁膜の一部として取り込まれる。また、ジルコニウム酸化膜の酸化処理によってジルコニウムとの結合が外れた窒素原子は、膜外部への拡散、膜内部への残存、シリコン基板との界面層の形成という3通りの経路を経る。これらの窒素原子のうち、膜内部に残存した窒素原子は絶縁膜の耐熱性を向上させ、界面層の形成に関わる窒素は、ジルコニウム酸化膜の酸化処理時における意図しないシリコン基板再酸化を極力抑える効果を発揮する。こうした効果を発揮した後であれば、ジルコニウム酸化膜中に窒素が残存せずとも構わない。

【0041】次に、本発明のジルコニウム酸化膜における結晶化抑制の機能について説明する。図8は、薄膜の結晶状態を調べるためのXRD(X-Ray Diffraction)スペクトラムである。ジルコニウム酸化膜は、400℃以下の温度で結晶状態に移移するこ

とが知られている。

【0042】図8(e)は、膜厚5nmのジルコニウム酸化膜についての、堆積直後と500℃で熱処理したときのXRDスペクトラムである。一般に、バルクと比較して、薄膜状態では膜が薄いほど金属酸化物の結晶化反応が抑制されることが知られている。しかしながら、ジルコニウム酸化膜は5nmという極薄膜においても、500℃の熱処理で充分強い強度の結晶ピークを示しており、膜が結晶状態に変化したことがわかる。

【0043】図8(b)には、本発明のジルコニウム酸化膜の熱処理に対する挙動を調べた結果を示す。この実験では、5nmのジルコニウム酸化膜を500℃で酸化したジルコニウム酸化膜を、さらに500℃、600℃、700℃で熱処理したときの結晶化挙動を示している。このとき、ジルコニウム酸化膜の膜厚は10nmであった。図8(b)に示されるように、本発明におけるジルコニウム酸化膜は、500℃、600℃では結晶化せず、700℃で始めて結晶( $ZrO_2$ )のピークを示している。参照として用いたジルコニウム酸化膜の膜厚は5nmとジルコニウム酸化膜より薄いので、結晶化反応が抑制されるはずである。しかしながら、厚い10nmのジルコニウム酸化膜の結晶化温度が、参照実験よりも高くなっている。この結果は、厚い膜厚は本来結晶化しやすい条件であるにもかかわらず、酸化膜を形成したことにより結晶化が逆に抑制されたことを意味している。このように、本発明におけるジルコニウム酸化膜が結晶化抑制機能を備えている事実は明らかである。

【0044】本発明のジルコニウム酸化膜/シリコン酸化膜/シリコン構造の電気的特性を説明する。図9は、本発明の積層絶縁膜上に金電極を形成し測定したC-V特性である。図9には滑らかなC-Vカーブが示されており、本発明における積層絶縁膜とシリコン基板界面との界面単位密度は、実用的な水準であることが確認された。また、図9のC-V特性の面積容量値から界面絶縁膜の $SiO_2$ 換算膜厚を計算したところ約1.2nmであり、High-Kゲート絶縁膜の導入が予定される $SiO_2$ 換算膜厚1.5nm以下という性能を充分満たすことがわかる。

【0045】図10には、図9のC-V特性を示した本発明のジルコニウム酸化膜/シリコン酸化膜/シリコン構造の断面TEM写真を示す。ジルコニウム酸化膜の物理膜厚は3nmであり、シリコン酸化膜の物理膜厚は1.5nm程度である。この構造的特徴と図9で説明した積層膜全体での $SiO_2$ 換算膜厚の値とに基づいて比誘電率を計算したところ、ジルコニウム酸化膜の比誘電率は約20であり、界面絶縁膜の比誘電率は約10であった。本発明における界面絶縁膜の比誘電率~10は、特許なシリコン酸化膜のそれよりも高い。したがって、ジルコニウム酸化膜とシリコン基板との界

面に形成された界面絶縁膜は、異なるシリコン酸化膜ではなく、それにジルコニウムが添加されている状態であることが確認された。こうした構造は、シリコニウム酸化膜堆積時にシリコン表面に局在分布したジルコニウムが界面絶縁膜に取り込まれることにより実現されたものであり、本発明の製造方法によってのみ得られる特有の構造である。

【0046】このような本発明のジルコニウム酸化膜/シリコン酸化膜構造は、後工程における熱処理に対するシリコン基板再酸化に十分に耐え得ることがわかっている。

【0047】図11は、その事実を示す実験結果である。通常の従来技術によるジルコニウム酸化膜と、本発明におけるジルコニウム酸化膜とを、600~1000℃の範囲で窒素アニールしたときの $SiO_2$ 換算膜厚の変化を調べた結果を示す。通常のシリコニウム酸化膜の場合には、1000℃では2.5nm以上の $SiO_2$ 換算膜厚の増加が観測された。これに対して、本発明のジルコニウム酸化膜では、900℃以上でやはり同様に $SiO_2$ 換算膜厚が増加するものの、その増加幅はシリコニウム酸化膜よりはるかに少なく、1000℃においてもわずか0.3nmの増加しか起きなかった。

【0048】本発明におけるジルコニウム酸化膜の耐酸化性の向上には、複数の要因が考えられる。第一には、本発明のジルコニウム酸化膜が熱処理雰囲気中の酸素の拡散を防止して、シリコン基板の酸化を抑制したこと、第二に、本発明の界面絶縁膜であるシリコン酸化膜が酸素の拡散を防止したこと、第三に、本発明のジルコニウム酸化膜は耐熱性が高く、高温熱処理時の酸素放出量が極めて少ないことが挙げられる。これは、いずれも本発明の構造により初めて得られた特有な効果である。

【0049】なお、本発明においては、より高い絶縁膜容量を得るために、励起状態の酸素を用いてジルコニウム酸化膜の酸化処理を行なうことが好ましい。このような手法で酸化処理を施すことによって、ジルコニウム酸化膜の酸化をより高効率で行なうことができるとともに、酸化に必要な基板温度を低温化することにより酸化時のシリコン基板再酸化を極力抑制することが可能となる。

【0050】また、ジルコニウム酸化膜の製造後には、600℃以上の温度で、不活性雰囲気、例えば窒素雰囲気でのポストアニールをすることが好ましい。これによって、リーク電流の低減と $SiO_2$ 換算膜厚の低減とを同時に実現することができる。

【0051】図12には、本発明におけるジルコニウム酸化膜をポストアニールしたときの $SiO_2$ 換算膜厚等の変化を示す。図12においては、横軸が $SiO_2$ 換算膜厚、縦軸がリーク電流密度である。今回の実験の結果では、700℃アニール時に最も $SiO_2$ 換算膜厚が



薄く、リーク電流も低いという性能が得られた。このような効果は、シリコニウム酸化膜中に残存した、極わずかな量の格子欠陥のアニールアウトによる効果である。

【0052】以上説明したように、絶縁膜の結合状態や元素組成を規定しているので、本発明における金属酸化膜／界面絶縁膜層構造は、耐熱性に優れ、比誘電率は高く、耐酸化性においても極めて優れた性質を有する。こうした特性を有する金属酸化膜／界面絶縁膜層構造は、本発明の製造方法によってのみ得られるものである。

【0053】

【発明の実施の形態】以下、図面を参照しつつ、本発明を用いたMISFET (Metal-Insulator-Semiconductor Field Effect Transistor) およびその製造方法を説明する。

【0054】(実施例1) 図13は、本実施例のMISFETの断面構造である。

【0055】図示するように、シリコン基板1上には、ゲート電極8／金属酸化膜7／界面絶縁膜6の積層からなるMIS構造が形成されており、ゲート電極8はゲート側壁9に取り囲まれている。シリコン基板1中には、高温処理に不純物を拡散した深い拡散領域3、浅い拡散領域4およびサリサイド5が、MIS構造に自己整合的に形成されている。

【0056】次に、図14を参照して本実施例にかかるMISFETの製造方法を説明する。

【0057】まず、通常の工程により素子分離領域2を施したシリコン基板1を準備する。この基板を希HF水溶液で処理してシリコン基板表面の自然酸化膜を除去し、シリコン表面を水素で終端する。この後、金属酸化膜をシリコン基板上に堆積する。このときのシリコン表面状態としては、水素終端状態以外にも、ハロゲンによる終端状態でも構わないし、金属酸化膜形成までの自然酸化が無視できる環境であれば、シリコン表面を剥き出しの状態であっても構わない。

【0058】金属酸化膜、一例としてここではシリコニウム酸化膜をシリコン基板上に堆積する。本実施例では、シリコニウムターゲットを用い、アルゴン／窒素混合ガス雰囲気中RFスパッタリングを行なうことにより酸化シリコニウム薄膜を堆積した。このとき、シリコン表面においては、表面シリコンの少なくとも一部が窒素と結合して、図14(a)の断面図に示すようにSi-N結合を含むシリコン表面領域10を形成し、さらにその上部にシリコニウム酸化膜11が形成される。アルゴンと窒素とのガス流量比を2:1とし、RF電力は50~300W、シリコン基板加熱は行なわないというスパッタ条件で、膜厚1.5nmの酸化シリコニウム薄膜を堆積した。ここで、シリコニウム酸化膜の堆積手法はス

パッタリングに限定するものではない。例えば、抵抗加熱蒸着法、電子ビーム蒸着法、分子線蒸着法、およびレーザーアブレーション法などの物理堆積手法を利用することが可能である。量産性からいえばスパッタリング法が好ましいが、シリコン基板上に導入される損傷を考慮すれば、電子ビーム蒸着法、分子線蒸着法などがより好ましい。

【0059】化学気相堆積法(CVD法)を利用する場合には、原料ガスとしては、特にシリコニウムハロゲン化物( $ZrCl_4$ )と窒素との混合ガスを用いることが望ましい。有機金属原料ガスを用いることによって、原料ガス内部に含まれる酸素原子によるシリコン基板酸化、炭素による絶縁膜汚染による電気的特性の劣化などを避けることができるためである。窒素原料ガスとしては、 $NH_3$ 、励起窒素、および $N_2$ などを用いることが可能である。励起窒素を用いることがより好ましく、これによって成膜時の基板温度を低下させ、意図しないシリコン基板の酸化を抑えることができる。

【0060】また、シリコニウム酸化膜は、次のように雰囲気を変化させてシリコン基板上に堆積することができる。まず、第一段階として、少なくとも一部に窒素を含む雰囲気中でシリコニウム酸化膜を堆積し、その後、第二段階として少なくとも一部に窒素と酸素とを含む雰囲気中でシリコニウム酸化膜を形成する。こうした方法によりシリコニウム酸化膜を形成することによって、シリコン基板の表面酸化を抑制しつつ、シリコニウム酸化膜中に微量な酸素を追加することが可能となる。この場合には、シリコニウム酸化膜へあらかじめの酸素を追加することによってリーク低減の効果が発揮され、同時により薄い $SiO_2$ 換算膜厚を得ることができる。

【0061】引き続き、図14(a)に示されるシリコニウム酸化膜11およびシリコン表面領域10を酸化処理することにより、図14(b)に示されるようにシリコニウム酸化膜7を形成するとともに界面絶縁膜6を形成する。酸化処理の手法としては、通常のドライ酸化( $O_2$ )、ウェット酸化( $O_2/H_2$ )、オゾン酸化( $O_3$ )、ラジカル酸化(励起酸素)、 $N_2O$ 酸化、 $N_2O$ 酸化、 $N_2/O_2$ 酸化、 $Ar/O_2$ 酸化、陽極酸化(電解質あるいはグロー放電)など、既存の酸化技術を用いることが可能である。例えばドライ酸化を用いる場合には、リーク電流と $SiO_2$ 換算膜厚とを最適化するために、酸化温度500℃のときには酸化時間1分以下が望ましく、酸化温度400℃のときには酸化時間5分以上とすることが望ましい。また、ラジカル酸化のような励起状態の酸素を利用すれば、酸化時間はさらに短縮することが可能となり、より低い $SiO_2$ 換算膜厚と低リーク電流を得ることが可能となる。

【0062】シリコニウム酸化処理に引き続き、不活性雰囲気での高温熱処理を行なうことによって、 $SiO_2$ 換算膜厚を減少させるとともにリーク電流を低下させ



ることができる。この高温熱処理は、酸化処理後にシリコニウム酸窒化膜および界面絶縁膜中に残存する欠陥構造をアニールアウトして膜を緻密化するための工程であり、600~700℃程度の温度範囲で行なうことが望ましい。

【0063】こうして形成されたシリコニウム酸窒化膜11上にゲート電極8を堆積して、図14(c)の構造を得る。ゲート電極材料としては、ポリシリコン、高融点金属およびその窒化物など、任意のものを使用することができる。すでに説明したように、シリコニウム酸窒化膜の酸化処理後の高温アニールは、ゲート電極8を堆積した後に行なうことが望ましい。これは、高温アニールに伴うシリコニウム酸窒化膜の熱収縮を抑制し、さらに熱処理雰囲気からの酸素拡散を低下させるという効果がある。その熱処理条件としては、600℃以上の温度が好ましく、さらには900℃~1050℃の範囲での熱処理が好ましい。また、この高温熱処理は、特にポリシリコンゲートの場合には、イオン注入されたゲート電極の活性化熱処理(>1000℃)と同時に行なうことが最も好ましい。一方、金属ゲートの場合には、拡散層の熱活性化(~900℃)と同時に行なうことが最も好ましい。

【0064】引き続き、ゲート電極8を所望の形状に加工し、このゲート電極形状に自己整合的に浅い拡散層領域4を形成して、図14(d)に示すような構造を得る。本実施例においてゲート電極8の加工時には、シリコニウム酸窒化膜7および界面絶縁膜6は加工されず、シリコン表面の活性領域に残されている。したがって、浅い拡散層領域4を形成するためのイオン注入は、これらの絶縁膜を介して行なわれる。シリコニウム酸窒化膜7および界面絶縁膜6を除去した後、イオン注入することにより、浅い拡散層領域を形成することもできる。

【0065】その後、ゲート側壁9を形成した後、深い拡散層3を形成して、図14(e)の構造を得る。深い拡散層3の上部のシリコニウム酸窒化膜7および界面絶縁膜6を除去した後、通常の工程でサリサイド5を形成することによって、図15に示されるMISFETが製造される。

【0066】(実施例2) 図15は、本実施例のMISFETの断面図である。

【0067】図示するように、素子分離領域2を有するシリコン基板1上には、ゲート電極8/金属酸窒化膜7/界面絶縁膜6の積層からなるMIS構造が形成されており、これらはゲート側壁9、SiN膜12、およびSiO<sub>2</sub>膜13により取り囲まれている。また、シリコン基板1中には、高温処理に不純物を拡散した深い拡散領域3、浅い拡散領域4、およびサリサイド5が、MIS構造に自己整合的に形成されている。

【0068】次に、図16を参照して本実施例にかかる

MISFETの製造方法を説明する。

【0069】まず、通常の工程により、いわゆるリブレスメントゲートの方式で、シリコン基板1内に浅い拡散層領域4、深い拡散層領域3、およびサリサイド5を形成した。さらに、ゲート側壁9、SiN膜12およびSiO<sub>2</sub>膜13を形成した後、ゲートMIS構造となるべき部分を開口した。こうしたシリコン基板に対し、第一の実施例と同様に、シリコニウム酸窒化膜11を形成した。前述の実施例1ではシリコニウム酸窒化膜の形成法は特に規定しなかったが、本実施例においては、図15(a)に示すように開口部の側壁部分にもシリコニウム酸窒化膜11を堆積させる必要があるため、CVD法により成膜することが望ましい。

【0070】引き続き、実施例1と同様の手法により酸化処理を行なうことによって、シリコニウム酸窒化膜7/界面絶縁膜6積層構造を形成し、図16(b)の構造を得る。

【0071】この後、ゲート電極の堆積し、CMPによる平坦化を行なうことによって、図15に示されるMISFETが製造される。前述の実施例1で説明したシリコニウム酸窒化膜の性能をさらに向上させるためのポストアニールは、本実施例の場合にはシリコニウム酸窒化膜の形成後、あるいはゲート電極の形成直後に行なうことが望ましい。本実施例の場合には、熱処理温度は800℃以下に制限され、さらには600~650℃の範囲で行なうことが望まれる。これは、リーク電流を極力低下させるためである。

【0072】(実施例3) 図17を参照して、ZrSiON単層絶縁膜の製造方法を説明する。

【0073】まず、実施例1と同様の方法により、図17(a)に示すようにシリコン基板15上にシリコニウム酸窒化膜(ZrN)17を形成する。このとき、ZrN膜17とシリコン基板15との界面には界面絶縁膜16が形成されている。この界面絶縁膜は、シリコン、酸素および窒素を含有し、ZrN膜17の形成前にシリコン基板15表面の酸化化によって形成することができる。あるいは、ZrN堆積時にシリコン表面の酸化化によって形成される膜の場合もある。

【0074】さらに、実施例1と同様な方法によりZrN膜17を酸化処理して、図17(b)の構造を得る。これにより、シリコニウム酸窒化膜(ZrON)19/界面絶縁膜18積層構造が形成される。このとき、界面絶縁膜18はシリコンと酸素、窒素からなり、10原子%以下のシリコニウム原子が添加されている。また、窒素原子は10原子%以下が好ましく、欠陥構造を抑えながら不純物拡散耐性を向上させるという要請からは、2~3原子%であることがより好ましい。以下、この界面絶縁膜18をZrSiON膜と記述する。

【0075】引き続き、ZrON膜19を、ZrSiON膜18に対して選択的に剥離処理して、図17

(c) のようなZrSiON単層絶縁膜を得る。ZrON膜19は、例えば0.1%フッ酸水溶液を用いて剥離することができる。以下に説明するような理由から、ZrON膜19とZrSiON膜18のエッチング液に対する選択比は、典型的には10以上と極めて大きく設定することができる。本発明におけるZrON膜は、すでに説明したように原子結合的にはZrO<sub>2</sub>膜の物性を有する。一方、本発明におけるZrSiON膜は、基本的にはシリコン酸化膜(SiON)であり、これにジルコニウム原子が添加されたものととらえることができる。そして、ZrO<sub>2</sub>は、例えばフッ酸系溶液には易溶であるのに対して、SiON膜は比較的難溶である。こうした理由から、10以上という大きな選択比を取ることができる。

【0076】このようにして得られたZrSiON絶縁膜18は、1000℃程度の高温でも非晶質性が保たれ、比誘電率が6~12程度に高められる。しかも、基本的にSiON膜であるために絶縁性が高いために、ゲート絶縁膜として極めて適した特性を有する。

【0077】さらに、本実施例の製造方法では、界面絶縁膜18およびZrON膜19を形成する過程で、界面絶縁膜18におけるシリコン基板側とは反対の表面付近にジルコニウム原子が添加され、これによってZrSiON膜が構成される。このような手法でジルコニウム原子が添加することにより形成されたZrSiON膜においては、膜の表面ではジルコニウム濃度が高く、例えば1.020atoms/o.c.台の原子濃度となる。一方、シリコンとの界面付近ではジルコニウム原子濃度が、例えば1.017atoms/o.c.程度以下に低くなるという特徴が必然的に形成される。シリコンとの界面付近でジルコニウム原子濃度が低いことは、界面特性の向上には必須なことであり、本実施例のZrSiON膜の性能を高める効用を有している。

【0078】図17(c)に示すようなZrSiON単層絶縁膜19の上には、実施例1で説明したように、図14(c)以降の工程にしたがってゲート電極を形成し、浅い拡散層領域、ゲート側壁および深い拡散層領域などを形成することによって、本発明のMISFETが得られる。

【0079】(実施例4) 図18を参照して、ZrSiON絶縁膜の製造方法を説明する。

【0080】まず、図17(a)に示すように、シリコン基板15上にジルコニウムシリコン酸化膜(ZrSiN)22を形成した。ジルコニウムシリコン酸化膜22は、例えば、ZrSiターゲットを用いて窒素/アルゴン混合ガスにより成膜することができる。あるいは、ZrSiNターゲットを用いてアルゴンガスのみ、または窒素/アルゴン混合ガスにより成膜してもよい。ZrSiOターゲットを用いて窒素/アルゴン混合ガスにより成膜し、予め若干の酸素が含有されたZrSiN膜を準

備してもよい。また、CVD法、真空蒸着法によってもこれと同じ性質の膜を形成することが可能である。図18(a)に示されるように本実施例では、ZrSiN膜22とシリコン基板15との界面には、界面絶縁膜21を形成した。この界面絶縁膜21は、シリコン、酸素および窒素を含有し、ZrSiN膜22の形成前にシリコン表面の酸化化によって形成することができる。あるいは、ZrSiN膜22堆積時にシリコン表面の酸化化によって形成される場合もある。また、シリコン酸化膜で被覆されたシリコン基板15上にZrSiN膜22を堆積する際に、シリコン酸化膜に窒素が混入されてシリコン酸化膜となる場合もある。

【0081】さらに、実施例1と同様な方法によりZrSiN膜22を酸化処理して、図18(b)に示されるようなZrSiON単層絶縁膜23膜を得た。界面絶縁膜21は、ZrSiN膜を形成する際にはSiON膜、あるいはその一部にジルコニウム原子が添加された状態である。ZrSiN膜22を酸化処理する際に、ZrSiN膜22中のジルコニウム原子が界面絶縁膜の内部に取り込まれて原子結合することによって、ZrSiON膜へと変態する。

【0082】本実施例で形成されたZrSiON膜23は、その膜の垂直方向のジルコニウム原子濃度に傾斜を有する。具体的には、シリコン基板との界面付近でのジルコニウム原子濃度は低く、ZrSiON膜表面に近づくにしたがってジルコニウム原子濃度が増加するような濃度の傾斜が自然と形成される。例えばZrSiON膜表面付近では、本来はZrSiN膜であったために、ジルコニウム原子濃度は1.020~1.021atoms/o.c.程度と高い。一方のシリコン界面付近では、これがもともとシリコンと酸素あるいは窒素とにより形成されていた物質であり、ZrSiN形成プロセスにおける原子打ち込み、あるいはその酸化処理時の熱履歴によって熱拡散して形成されたものである。したがって、ジルコニウム原子濃度は、たかたか1.017atoms/o.c.以下である。このようなZrSiON膜内部のジルコニウム原子の濃度勾配は、本発明の方法により初めて形成される特徴的な構造であり、シリコンとの界面特性向上と誘電率の向上による絶縁膜容量の向上という2つの要請を同時に満たす効果をもたらす。

【0083】図18(b)に示されるようなZrSiON単層絶縁膜23の上には、実施例1で説明したように、図14(c)以降の工程にしたがってゲート電極を形成し、浅い拡散層領域、ゲート側壁および深い拡散層領域などを形成することによって、本発明のMISFETが得られる。

【0084】(実施例5) 図19を参照して、ZrSiON単層絶縁膜の製造方法を説明する。

【0085】まず、図19(a)に示すように、実施例4と同様な手法によりシリコン基板15上にZrSiN

限22を形成する。本実施例においては、シリコン基板15とZrSiON限22との界面に界面絶縁限が形成されていない点が、実施例4の場合とは異なる。こうした構造は、ZrSiON限を成膜する段階において、雰囲気中に存在する酸素を10-6 Torr以下の分圧まで低下させることによって、形成することができる。このとき、雰囲気に極微量に含まれる酸素原子がZrSiON限の内部に取り込まれたところで、本実施例の効果を失わせるものではない。

【0086】次に、実施例1と同様な方法によりZrSiON限22を酸化処理して、図1-9(b)に示されるようなZrSiON単層絶縁23限を得る。このような構造においてはシリコン原子の膜中濃度はほぼ均一となり、比誘電率は12以上の非常に高い値を示す。

【0087】しかしながら、シリコン基板にあまりにも近接してシリコン原子が存在する場合には、界面特性の劣化が起きることが知られている。したがって、特に界面特性の性能を重視する場合には、ZrSiON限の酸化処理の条件を設定することによって、図1-9(b)のZrSiON限23とシリコン基板15との界面にシリコン酸化限(図示せず)を形成してもよい。例えば、500℃〜600℃の温度で酸化処理を施すことによって、酸素原子がZrSiON/Si界面まで拡散し、その部分でシリコン基板を酸化してシリコン酸化限が形成される。通常のZrO<sub>2</sub>限やZrSiON限は極めて酸素拡散速度が早く、シリコン基板の酸化が非常に速いスピードで起きるため、その制御が困難である。これに対して本発明においては、ZrSiON限に添加された空素の作用によって酸素の拡散は制限され、より広いプロセスウィンドウで界面酸化限の厚さを設計することが可能である。

【0088】図1-9(b)に示されるようなZrSiON単層絶縁23限の上には、実施例1で説明したように、図1-4(a)以降の工程にしたがってゲート電極を形成し、浅い拡散層領域、ゲート側壁および深い拡散層領域などを形成することによって、本発明のMISFETが得られる。

【0089】(実施例6) 図20を参照して、上部界面限/ZrON限/SiON(Zr)限積層の構造およびその形成法を説明する。

【0090】図20(e)は、界面絶縁限16、ZrON限17およびゲート電極材料24をシリコン基板15上に堆積した直後の断面構造を模式的に示したものである。ZrON限/界面絶縁限積層構造は、すでに説明したような本発明の方法により形成される。

【0091】こうして得られた構造を、非酸化性雰囲気中で900〜1050℃程度の高温で熱処理した直後の断面構造を、図20(b)に模式的に示す。図示するように、ZrON限17とゲート電極材料24の界面には、ゲート電極材料と、酸素あるいは空素からなる極薄

い絶縁層(以下、上部界面限と称する)25が形成される。この上部界面限25の構成要素のうち、酸素はZrON限中に過剰に存在した余剰な酸素であり、空素はZrON限中に存在する空素である。上部界面限25の厚さは、これら酸素あるいは空素の含有量によって自己制限的に決定されるため、典型的には5Å以下と極めて薄い物理膜厚に抑えられる。また、上部界面限の中の空素含有量は10%以下が好ましく、より好ましくは、その不純物拡散耐性が充分発揮されかつ欠陥形成を伴わないという意味で2〜3原子%程度が望ましい。空素の含有量が10%を超えると、上部界面限内部に空素に起因する欠陥が生成されて電気的特性が劣化するおそれがある。

【0092】こうして形成される上部界面限25の作用は、ゲート電極材料24およびZrON限17中の残留酸素濃度によって著しく変化する。

【0093】まず、ゲート電極24としてシリコンを用いた場合について説明する。例えば1000℃での空素雰囲気アニールによって形成された上部界面限25は、シリコン酸化限に、ZrON限中の空素が添加されて形成されたSiON限となる。このとき、ZrON限17からの熱拡散によって若干のシリコン原子、例えば5原子%以下のシリコンが上部界面限25中に拡散していても構わない。この場合における上部界面限はSiON(Zr)限であり、その作用としては、ZrON限17とシリコンゲート24の界面を構造安定化し、電気的なトラップの量を低下させるばかりでなく、シリコンゲートからの不純物拡散(ボロン、砒素など)を防止する。

【0094】次に、ゲート電極24として高融点金属(チタン、タングステン、タンタル、モリブデン等)を用いた場合について説明する。この場合は、ZrON限17中に余剰酸素がさらに存在するが否かによって、上部界面限25の作用は全く異なるものとなる。

【0095】余剰酸素がZrON限17中に存在する場合には、ZrON限17とゲート金属24との界面には、ゲート金属材料の酸化物に、空素が添加された絶縁限が形成される。例えば、TiON限、WO<sub>3</sub>限などである。このような上部界面限25は、ゲート電極材料24とZrON限17との界面を構造安定化させ、電気的な欠陥などを減少させる作用を有する。

【0096】一方、ZrON限17中に余剰酸素が存在しない場合には、ZrON限17とゲート金属24との界面には金属空化物が形成される。本実施例で挙げた高融点金属の場合には、金属空化物は導電性物質であるために、この上部界面限25はゲート電極24の一部として作用する。

【0097】以上、シリコン酸窒化限を一例として挙げて実施例を説明したが、本発明は、シリコンに限定されるものではない。実施例で説明したシリコン

ムをハフニウム、あるいはジルコニウムとハフニウムとの混合物で置き換えた場合にも、全く同様の効果が得られる。

【0098】

【発明の効果】以上詳述したように本発明によれば、Hf<sub>2</sub>O<sub>3</sub>-K材料を含有し、金属酸化物と同等の比誘電率を有するゲート絶縁膜を具備したMIS型電界効果トランジスタを有する半導体装置が提供される。また本発明によれば、Hf<sub>2</sub>O<sub>3</sub>-K材料の熱処理時の結晶化を極力抑制して耐熱性を高め、金属酸化物と同等の比誘電率を有するゲート絶縁膜を形成し得るMIS型電界効果トランジスタを製造することのできる半導体装置の製造方法が提供される。

【0099】本発明により、リーク電流が小さく、絶縁膜容量が非常に高いという、従来よりも高性能なHf<sub>2</sub>O<sub>3</sub>-Kゲート絶縁膜を有する高速、低消費電力シリコンLSIを得ることが可能となり、その工業的価値は絶大である。

【図面の簡単な説明】

【図1】本発明の半導体装置におけるジルコニウム酸化膜の結合状態を説明するXPSスペクトラム。

【図2】従来法のジルコニウム酸化膜の形成方法を表す模式図。

【図3】従来法により形成されたジルコニウム酸化膜の結合状態を表す模式図。

【図4】本発明の半導体装置におけるジルコニウム酸化膜の形成方法を表す模式図。

【図5】本発明の方法により形成されたジルコニウム酸化膜の結合状態を表す模式図。

【図6】従来法のジルコニウム酸化膜の形成方法を表す模式図。

【図7】本発明の半導体装置における界面絶縁膜の結合状態を説明するXPSスペクトラム。

【図8】本発明の半導体装置におけるジルコニウム酸化膜の結晶温度上昇効果を説明するXRDスペクトラム。

【図9】本発明の半導体装置におけるジルコニウム酸化膜／界面絶縁膜積層構造と、シリコン基板との界面特性を示す容量-電圧特性の実験結果。

【図10】本発明の半導体装置におけるジルコニウム酸化膜／界面絶縁膜積層構造のTEM写真。

【図11】本発明におけるジルコニウム酸化膜／界面絶縁膜積層構造の耐酸化性を示す実験結果。

【図12】本発明におけるジルコニウム酸化膜／界面絶縁膜積層構造のポストアニールによる性能改善の一例を示す実験結果。

【図13】本発明におけるMISFETの一例を示す断面図。

【図14】本発明におけるMISFETの製造工程の一例を表す断面図。

【図15】本発明におけるMISFETの他の例を示す断面図。

【図16】本発明におけるMISFETの製造工程の他の例を表す断面図。

【図17】本発明におけるMISFETの製造工程の他の例を表す断面図。

【図18】本発明におけるMISFETの製造工程の他の例を表す断面図。

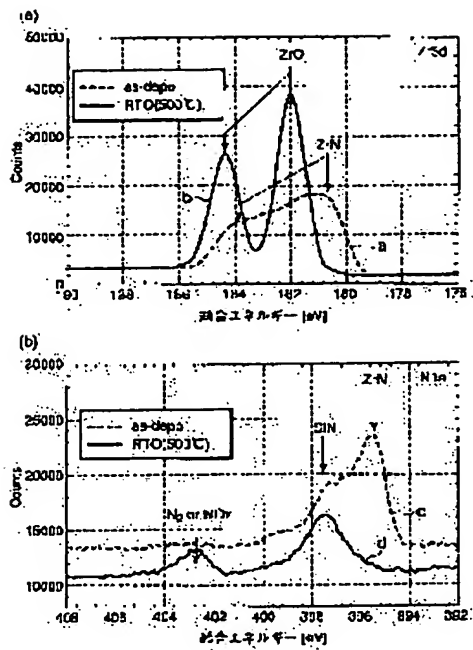
【図19】本発明におけるMISFETの製造工程の他の例を表す断面図。

【図20】本発明におけるMISFETの製造工程の他の例を表す断面図。

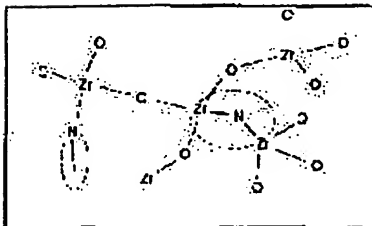
【符号の説明】

- 1…Si基板
- 2…素子分離領域
- 3…深い拡散層
- 4…浅い拡散層
- 5…サリサイド
- 6…界面絶縁膜
- 7…金属酸化膜
- 8…ゲート電極
- 9…ゲート側壁
- 10…Si-N結合を含むシリコン表面領域
- 11…金属酸化膜
- 12…Si<sub>3</sub>N<sub>4</sub>膜
- 13…SiO<sub>2</sub>膜
- 14…シリコン基板
- 15…界面絶縁膜
- 16…ジルコニウム酸化膜
- 17…ZrSiON膜からなる界面絶縁膜
- 18…ジルコニウム酸化膜
- 19…界面絶縁膜
- 20…ZrSiN膜
- 21…ZrSiON膜
- 22…ゲート電極
- 23…上部絶縁膜

【図1】



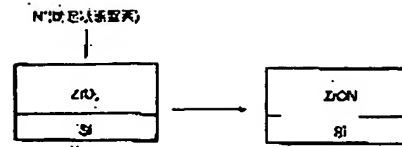
【図3】



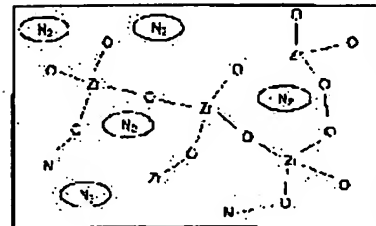
【図13】



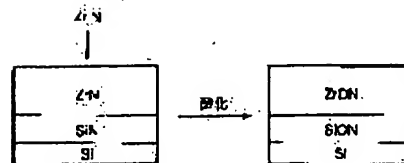
【図2】



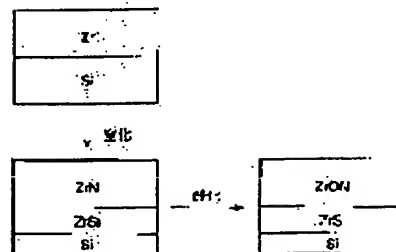
【図5】



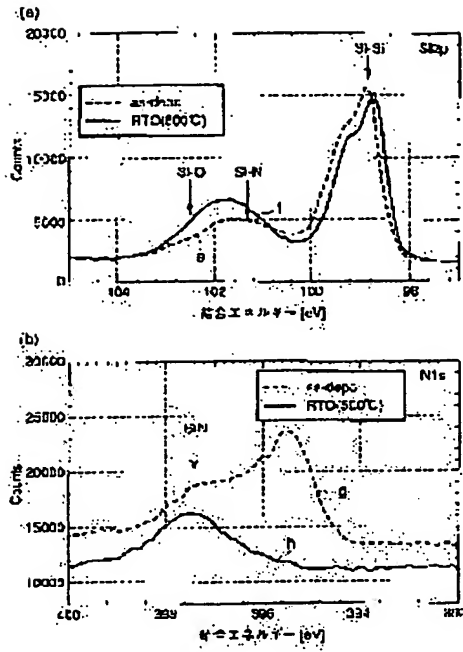
【図4】



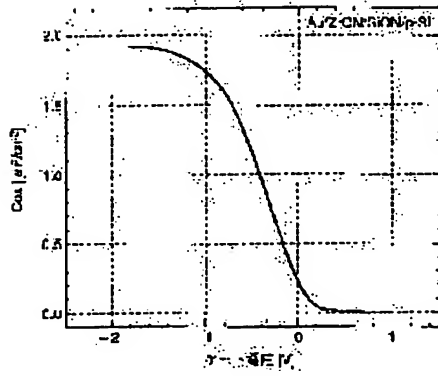
【図6】



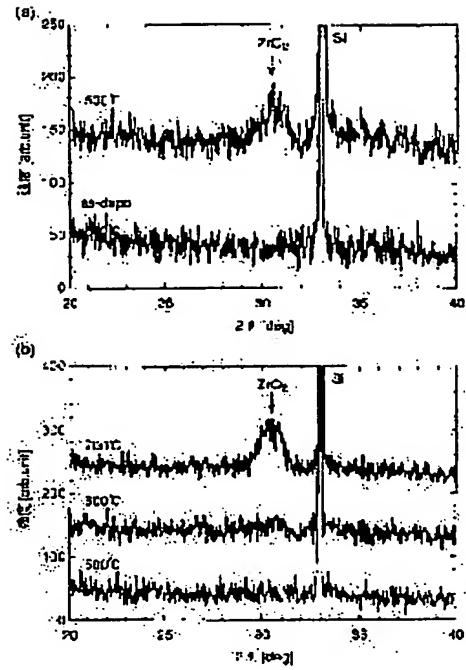
【図 7】



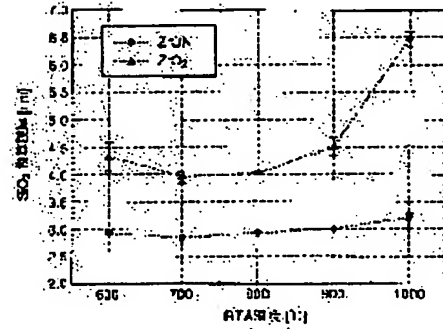
【図 8】



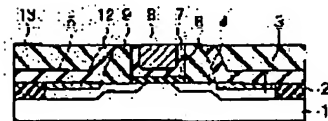
【図 9】



【図 10】

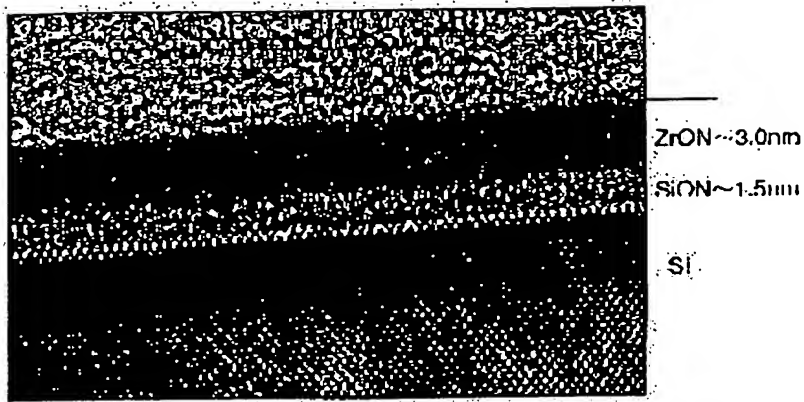


【図 11】

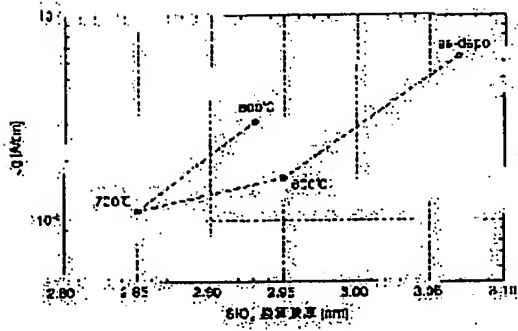




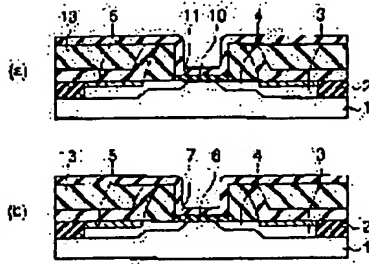
【図 10】



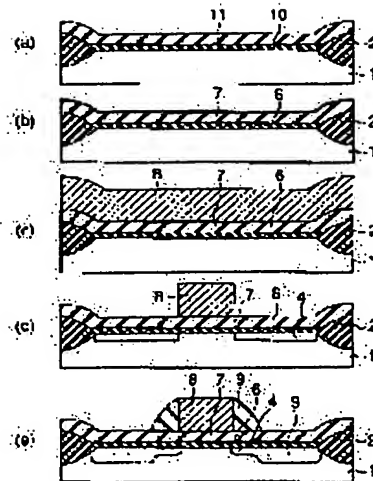
【図 12】



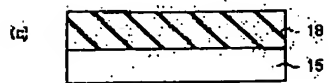
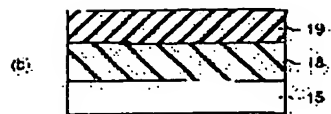
【図 13】



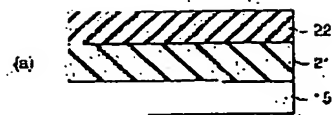
【図 14】



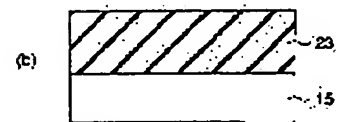
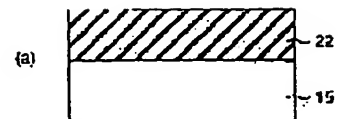
【图 17】



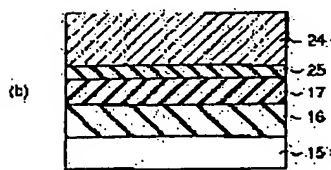
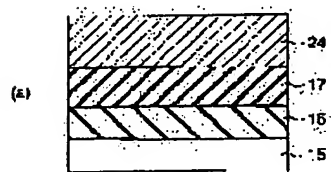
【图 18】



【图 19】



【图 20】



フロントページの続き

Fターム(符号) 5F058 BA11 BA20 BD01 BD04 BD16  
BF15 BH03  
5F140 AA19 BA01 BD01 BD02 BD04  
BD09 BE09 BE16 BE17 BF01  
BF04 BF05 BG08 BG44 BH14  
BJ08 BK02 BK13 CB01 CE07

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**